

(54) SEMICONDUCTOR MEMORY DEVICE

(11) 63-166260 (A) (43) 9.7.1988 (19) JP

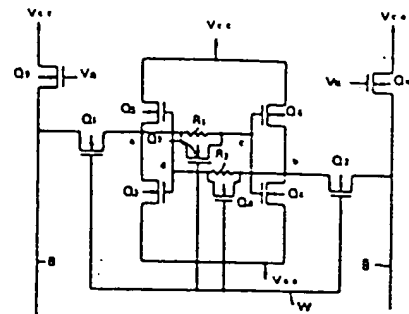
(21) Appl. No. 61-314113 (22) 27.12.1986

(71) MITSUBISHI ELECTRIC CORP (72) KIYOTO WATABE

(51) Int. Cl. H01L27/10

PURPOSE: To make the soft error resistance high by inserting resistors and transistors connected in parallel between the drain and the gate where the flip flops included in a memory cell are cross-connected, and simultaneously connecting the respective gates of the transistors to a word line.

CONSTITUTION: In the store state, a word line W is set to a "L"-level and transistors Q_7 , Q_8 are in an OFF state, so common node points a, c are equivalently connected by a resistor R_1 , and common node points b, d are equivalently connected by a resistor R_2 . In the read state, the word line W is set to a "H"-level, so the transistors Q_7 , Q_8 come into an ON state. For this, the respective resistance values between the common node points a, c and between the common node points b, d remarkably decrease. In the write state, since the word line W is set to the "H"-level, the resistances of the transistors Q_7 , Q_8 have remarkably decreased. With this, a device having a high soft error resistance but having a fast transient response at the writing time can be obtained.



⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭63-166260

⑫ Int. Cl.⁴
H 01 L 27/10識別記号
3 8 1庁内整理番号
8624-5F

⑬ 公開 昭和63年(1988)7月9日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-314113

⑯ 出 願 昭61(1986)12月27日

⑰ 発 明 者 渡 部 設 代 登 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 複数のメモリセルを列方向および行方向にそれぞれ配列して構成され、

前記各メモリセルは、少なくとも、第1および第2のトランスファ・トランジスタ、第3および第4のドライバ・トランジスタ、第5および第6のロード・トランジスタを含み、

前記第1および第2のトランスファ・トランジスタの各ドレインは、前記各メモリセルを列方向に貫通するビット線対に、それぞれ個別に接続され、

前記第1および第2のトランスファ・トランジスタの各ゲートは、前記各メモリセルを行方向に貫通するワード線に共通に接続され、

前記第1のトランスファ・トランジスタのソース

共通部で、前記第2のトランスファ・トランジスタのソース、第4のドライバ・トランジスタのドレイン、第6のロード・トランジスタのドレインは第2の共通部で、それぞれ接続され、

前記第4のドライバ・トランジスタおよび前記第6のロード・トランジスタの各ゲートは第3の共通部で、前記第3のドライバ・トランジスタおよび前記第5のロード・トランジスタの各ゲートは第4の共通部で、それぞれ接続され、

前記第1および第3の共通部間には、並列接続された第1の抵抗と第7のトランジスタとを介して、前記第2および第4の共通部間には、並列接続された第2の抵抗と第8のトランジスタとを介して、それぞれ接続され、

前記第7および第8のトランジスタの各ゲートは、ワード線に接続されていることを特徴とする半導体記憶装置。

1. 発明の詳細な説明

(発明の背景分野)

トエラ一配置の高いメモリセルを備えたスタティック型の半導体記憶装置に関する。

(従来の技術)

第3図は、このような従来の半導体記憶装置のメモリセルの構成を示した回路図である。

図において、 Q_1 、 Q_2 はN型のトランスファ・トランジスタ、 Q_3 、 Q_4 はN型のドライバ・トランジスタ、 Q_5 、 Q_6 はP型のロード・トランジスタである。B、 \bar{B} は、列方向および行方向に配列された複数のメモリセルを、列方向に貫通するビット線対であり、特にBはビット線、 \bar{B} は相補的ビット線である。Wは、前記配列された複数のメモリセルを行方向に貫通するワード線である。 Q_1 はビット線Bに設けられた負荷用のトランジスタ、 Q_2 は相補的ビット線 \bar{B} に設けられた負荷用のトランジスタである。トランジスタ Q_3 、 Q_4 の各ドレインは電源ライン V_{cc} に接続され、それらの各ゲートは基準電圧源 V_{ref} に接続されている。

トランスファ・トランジスタ Q_1 のドレインは

に接続されている。

そして、上述した共通節点a、c間は抵抗 R_1 を介して接続され、共通節点b、d間は抵抗 R_2 を介して接続されている。

次に、上述した構成のメモリセルを備えた半導体記憶装置の動作を説明する。

メモリセルの状態として、(1)ストア、(2)読み出し、(3)書き込みの三つの状態がある。

(1)ストア状態において、ワード線Wは「L」レベルに設定され、トランスファ・トランジスタ Q_1 、 Q_2 はOFF状態になっている。したがって、メモリセルの動作は、ドライバ・トランジスタ Q_3 とロード・トランジスタ Q_5 とからなる第1インバータと、ドライバ・トランジスタ Q_4 とロード・トランジスタ Q_6 とからなる第2インバータとで、説明することができる。

第4図は、共通節点dを入力、共通節点aを出力とする第1インバータの伝達曲線 α と、共通節点cを入力、共通節点bを出力とする第2インバ

特開昭63-166260(2)

ビット線Bに接続され、トランスファ・トランジスタ Q_1 のドレインは相補的ビット線 \bar{B} に接続されている。また、トランスファ・トランジスタ Q_2 の各ゲートは、ワード線Wに共通に接続されている。

トランスファ・トランジスタ Q_1 のソース、ドライバ・トランジスタ Q_3 のドレイン、ロード・トランジスタ Q_5 のドレインは共通節点aで接続されている。一方、トランスファ・トランジスタ Q_2 のソース、ドライバ・トランジスタ Q_4 のドレイン、ロード・トランジスタ Q_6 のドレインは共通節点bで接続されている。

ドライバ・トランジスタ Q_3 およびロード・トランジスタ Q_5 の各ゲートは共通節点cで接続されている。一方、ドライバ・トランジスタ Q_4 およびロード・トランジスタ Q_6 の各ゲートは共通節点dで接続されている。

また、ロード・トランジスタ Q_5 、 Q_6 の各ソースは電源ライン V_{cc} に接続され、ドライバ・トランジスタ Q_3 、 Q_4 の各ソースはグラウンド V_{ss}

伝達曲線 α と伝達曲線 β との交点A、Bが安定点である。動作点がAにあればデータ「1」ストアに対応し、一方、動作点がBにあればデータ「0」ストアに対応する。

(2)次に、データの読み出し動作を説明する。

今、仮にデータ「0」にストアされているとする。読み出し時には、ワード線Wは「H」レベルに設定され、トランスファ・トランジスタ Q_1 、 Q_2 はON状態になっている。このとき、ビット線Bに設けられた負荷トランジスタ Q_1 が、トランスファ・トランジスタ Q_2 を介して前記第1インバータに接続されるので、その伝達曲線 α はシフトして、第4図に示す伝達曲線 α' のようになる。同時に、伝達曲線 β は、第4図に示す伝達曲線 β' のようにシフトする。即ち、伝達曲線 α' についてみれば、データ「0」をストアするためには、ドライバ・トランジスタ Q_3 が放電していても、共通節点aの電位は、当初(伝達曲線 α)の「L」レベルよりも若干高くなる。そのために、

特開昭63-166260(3)

レベルになっている共通節点bのレベルも若干低下する。

(3) 次に、データの書き込み動作を説明する。

例えば、初期状態として、共通節点aが「H」レベルに、共通節点bが「L」レベルになっているとする。このデータを反転させるには、トランスファ・トランジスタ Q_{11} 、 Q_{12} をON状態にし、書き込みドライバ（図示せず）を用いて、ビット線 β を強制的に「L」レベルに、相補的ビット線 β を強制的に「H」レベルにする。そうすると、共通節点aの電位は、「H」レベルから、トランスファ・トランジスタ Q_{11} とロード・トランジスタ Q_{12} とのオン抵抗比で決まる「L」レベルに反転する。一方、レベル変化した共通節点aの電位は、抵抗 R_1 と、ドライバ・トランジスタ Q_{11} およびロード・トランジスタ Q_{12} の各ゲート容量との積で定まる時定数に応じて第2インバート側に伝達される。これにより、ドライバ・トランジスタ Q_{11} がOFF状態に、ロード・トランジスタ Q_{12} がON状態に、それぞれ変化して、共通節点bの

電位が「L」レベルから「H」レベルに上昇する。このようにしてフリップフロップの反転書き込みが終了する。

次に、上述したメモリセルに発生するソフトエラーについて説明する。

ソフトエラーは、上述した各トランジスタ Q_{11} 、 Q_{12} 、 Q_{21} 、 Q_{22} のうちのOFF状態のトランジスタのドレインで起こりやすい。例えば、共通節点aの電位が「L」レベルで、共通節点bの電位が「H」レベルでストアされている場合、ソフトエラーはトランジスタ Q_{11} 、 Q_{12} に発生しやすい。今、仮に α 線あるいは他の荷電粒子が Q_{11} （ Q_{12} ）のドレインに入射したとしよう。入射されたイオンは、大量の電子正孔対を発生させる。特にドレイン近傍の空乏層では、電子・正孔が分離され、共通節点b（a）の電位が一時的に低（高）くなる。そして、このときの共通節点b（a）の電位は、抵抗 R_1 （ R_2 ）と、トランジスタ Q_{11} 、 Q_{12} （ Q_{21} 、 Q_{22} ）の各ゲート容量との積で定まる時定数に応じて、共通節点d（c）に伝達される。

一方、ON状態になっているトランジスタ Q_{21} 、

（ Q_{22} ）は、前述した共通節点b（a）の電位が低下（上昇）するのを抑制しようとする。しかし、共通節点d（c）に伝達された電位低下（上昇）幅が大きい場合、即ち、上述した時定数が小さい場合、フリップフロップが反転し、ソフトエラーを生じる。

第5図は、ソフトエラーによるフリップフロップの反転現象を示した説明図である。同図(4)は、抵抗 R_1 （ R_2 ）と、トランジスタ Q_{11} 、 Q_{12} （ Q_{21} 、 Q_{22} ）の各ゲート容量との積で定まる時定数が小さいために、共通節点d（c）に伝達された電位低下（上昇）幅がトランジスタ Q_{21} （ Q_{22} ）の抑制作用より大きくなり、その結果、フリップフロップが反転した状態を示している。一方、同図(5)は、前記時定数が大きいために、トランジスタ Q_{11} （ Q_{12} ）の抑制作用がまさり、フリップフロップが反転しなかった状態を示している。

そこで、従来の半導体記憶装置は、抵抗 R_1 、

位変動を抑えて、ソフトエラー耐性を高くしている。

（発明が解決しようとする問題点）

しかしながら、従来の半導体記憶装置は、ソフトエラー耐性を高めるために、メモリセルに含まれるフリップフロップの交差接続されたドレインとゲート間に抵抗 R_1 、 R_2 を挿入しているが、その抵抗値が高くなると、抵抗 R_1 （ R_2 ）と、トランジスタ Q_{11} 、 Q_{12} （ Q_{21} 、 Q_{22} ）の各ゲート容量との積で定まる時定数が大きくなり、そのために書き込み時の過渡応答性が遅くなるという問題点がある。

この発明は、このような問題点を解決するためになされたものであって、ソフトエラー耐性が高く、しかも、書き込み時の過渡応答性の速い半導体記憶装置を提供することを目的としている。

（問題点を解決するための手段）

この発明に係る半導体記憶装置は、メモリセルに含まれるフリップフロップの交差接続されたド

特開昭63-166260(4)

2)の抵抗と第1(第8)のトランジスタとを挿入するとともに、前記第1および第8のトランジスタの各ゲートをワード線に接続している。

(作用)

この発明においては、ストア状態では第1および第8のトランジスタはOFF状態になっており、前記交差接続されたドレインとゲート間は、第1および第2の抵抗で接続されるから、ソフトエラー耐性は高くなる。一方、書き込み時は、第1および第8のトランジスタがON状態になり、前記交差接続されたドレインとゲート間は低抵抗になるので、過渡応答性が速くなる。

(実施例)

以下、この発明の実施例を図に基づいて説明する。

第1実施例

第1図は、この発明の一実施例に係る半導体記憶装置のメモリスセルの構成を示した図である。

同図において、第3図に示した従来例と同一符号は、同一部分を示しているから、ここでの説明

は省略する。

(I) 読み出し状態において、ワード線Wは「H」レベルに設定されるから、トランジスタQ₁、Q₂はON状態になる。そのため、共通節点b、d間および共通節点b、d間の各抵抗値は著しく低下する。しかし、読み出し動作では、共通節点a、bの電位が、ビット線BLに与えられるだけであるから、共通節点a、c間および共通節点b、d間の抵抗値の減少が、読み出し動作に与える影響はほとんどない。

(II) 書き込み状態では、前記読み出し状態と同様に、ワード線Wが「H」レベルに設定されるから、トランジスタQ₁、Q₂の抵抗は著しく低下している。例えば、初期状態として、共通節点aが「H」レベルに、共通節点bが「L」レベルになっているとする。このデータを置き換えるために、トランスファ・トランジスタQ₃、Q₄をON状態にするとともに、書き込みドライバ(図

は省略する。

以下、この実施例の特徴を説明する。

共通節点a、c間に挿入された抵抗R₁にN型のトランジスタQ₅が並列に接続され、共通節点b、d間に挿入された抵抗R₂にN型のトランジスタQ₆が並列に接続されている。トランジスタQ₅、Q₆の各ゲートはワード線Wに共通に接続されている。

次に、この実施例の動作を説明する。

(I) スタ状態において、ワード線Wは「L」レベルに設定され、トランジスタQ₅、Q₆はOFF状態になっているから、共通節点a、c間は等価的に抵抗R₁で接続され、また、共通節点b、d間は等価的に抵抗R₂で接続されていることになる。したがって、抵抗R₁(R₂)と、トランジスタQ₅、Q₆(Q₅、Q₆)の各ゲート容量との積で定まる特定数が大きくなるから、第3図に示した従来例と同様に、OFF状態になっているトランジスタのドレインにα線などが入射することによる共通節点d(c)の電位変動が抑えら

れ、ソフトエラー耐性が高くなる。

(II) 読み出し状態において、ワード線Wは「H」レベルに設定されるから、トランジスタQ₅、Q₆はON状態になる。そのため、共通節点b、d間および共通節点b、d間の各抵抗値は著しく低下する。しかし、読み出し動作では、共通節点a、bの電位が、ビット線BLに与えられるだけであるから、共通節点a、c間および共通節点b、d間の抵抗値の減少が、読み出し動作に与える影響はほとんどない。

(III) 書き込み状態では、前記読み出し状態と同様に、ワード線Wが「H」レベルに設定されるから、トランジスタQ₅、Q₆の抵抗は著しく低下している。例えば、初期状態として、共通節点aが「H」レベルに、共通節点bが「L」レベルになっているとする。このデータを置き換えるために、トランスファ・トランジスタQ₃、Q₄をON状態にするとともに、書き込みドライバ(図

トランジスタQ₅およびロード・トランジスタQ₆のON抵抗比で定まる電位にまで低下する。共通節点aの電位変化は、トランジスタQ₅のON抵抗と抵抗R₁との並列抵抗値と、トランジスタQ₅、Q₆の各ゲート容量との積で定まる特定数に応じて、共通節点c側に伝達される。抵抗R₁に比較してトランジスタQ₅のON抵抗は著しく小さいから、前記特定数も小さくなり、共通節点aの電位変化の伝達は速やかに行われる。その結果、ドライバ・トランジスタQ₃がOFF状態になり、共通節点bの電位が「L」レベルから「H」レベルに上昇し、フリップフロップの反転動作が短時間のうちに行われる。

第2実施例

前記第1実施例では、トランジスタQ₅、Q₆にN型トランジスタを使用した。これは第2図に示したようなP型トランジスタQ₅、Q₆を用いてもよい。ただし、トランジスタQ₅、Q₆のゲートは、ワード線Wに共通に接続されているから、

特開昭63-166260(5)

ドワードの論理を逆にしたワード線Wに接続される。
このような第2実施例によっても、前述した第1
実施例の場合と同様の効果を得ることができる。
(発明の効果)

以上のように、この発明によれば、メモリセル
に含まれるフリップフロップの交差接続されるド
レインとゲート間に、並列接続された抵抗 R_1 、
(R_2)とトランジスタ Q_7 、(Q_8)を挿入す
るとともに、前記トランジスタ Q_7 、 Q_8 の各ゲ
ートをワード線W(またはW)に接続したので、
ストア時には前記ドレインとゲート間の抵抗値が
高くなってソフトエラー耐性を高くすることがで
き、また、書き込み時には前記ドレインとゲート
間の抵抗値が低くなって過渡応答性を速くするこ
とができる。

4. 図面の簡単な説明

第1図はこの発明の第1実施例に係る半導体記
憶装置のメモリセルの構成を示した回路図、第2
図はこの発明の第2実施例に係る半導体記憶装置
のメモリセルの構成を示した回路図、第3図はは

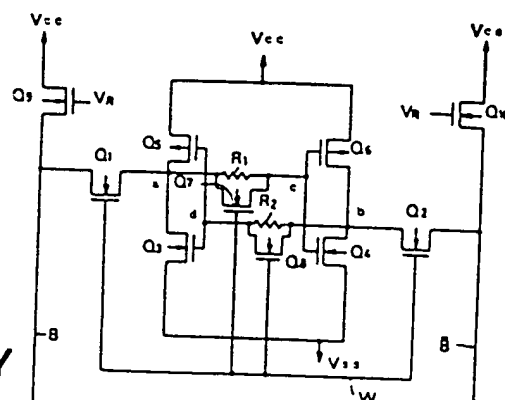
来の半導体記憶装置のメモリセルの構成を示した
回路図、第4図は前記従来の半導体記憶装置の
直流特性図、第5図は前記従来のソフトエラー
の説明図である。

図において、 Q_1 、 Q_2 はトランスファ・トラ
ンジスタ、 Q_3 、 Q_4 はドライバ・トランジスタ、
 Q_5 、 Q_6 はロード・トランジスタ、 Q_7 、 Q_8
はトランジスタ、 R_1 、 R_2 は抵抗、B、Bはビ
ット線対、Wはワード線、a、b、c、dは共通
部点である。

なお、図中同一符号は同一または相当部分を示
す。

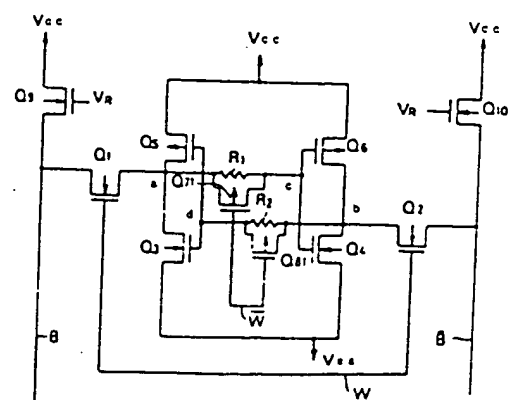
代理人 大岩 増 雄

図1



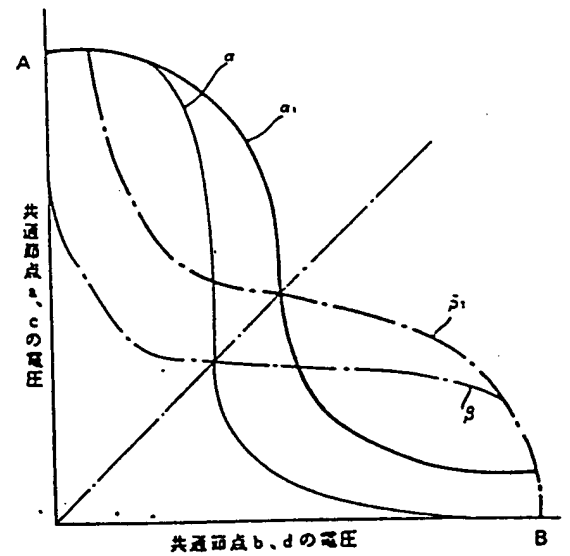
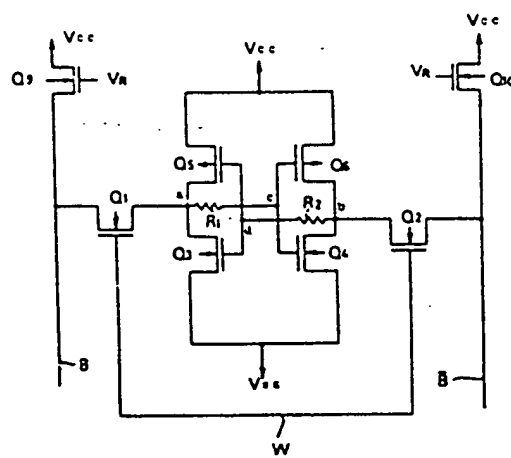
Q_1, Q_2 : トランスファ・トランジスタ
 Q_3, Q_4 : ドライバ・トランジスタ
 Q_5, Q_6 : ロード・トランジスタ
 Q_7, Q_8 : トランジスタ
B, B: ビット線対
W: ワード線

図2

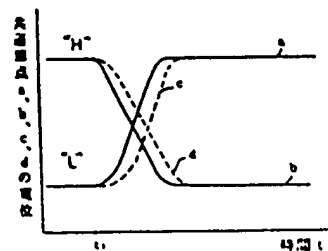


第 4 图

3 04



第 5 题 (a)



דף 5 לא (ב)

